

⑫ 公開特許公報(A) 平4-30570

⑬ Int. Cl.⁵

H 01 L 27/04

識別記号

H
D

庁内整理番号

7514-4M
7514-4M

⑭ 公開 平成4年(1992)2月3日

審査請求 未請求 請求項の数 6 (全5頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 平2-138751

⑰ 出 願 平2(1990)5月28日

⑱ 発 明 者 大 池 博 幸 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
 ⑲ 発 明 者 石 川 智 徳 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
 ⑳ 出 願 人 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地
 ㉑ 代 理 人 弁理士 西野 卓嗣 外2名

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

(1) 半導体チップの周囲部分に多数個の入出力パッドを形成した半導体集積回路において、

前記入出力パッドに隣接して前記半導体チップの素子領域を取り囲むように延在させた接地電位ラインおよび電源電位ラインと、

前記接地電位ラインを前記半導体チップの略全周にわたりその下の半導体基板に電気接続させるコンタクトホールと、

前記接地電位ラインに近接して配置され、前記半導体基板とで第1のPN接合ダイオードを形成する第1のアイランドと、

前記入出力パッドと前記接地電位ラインとの間に前記第1の接合ダイオードを挿入すべく前記入出力パッドを前記第1のアイランドにコンタクトさせるコンタクトホールと、

前記電源電位ラインに近接して形成した第2の

アイランドと、

前記第2のアイランドの表面に形成され、このアイランドと第2のPN接合ダイオードを形成する拡散領域と、

前記電源電位ラインを前記第2のアイランドに電気接続させるコンタクトホールと、

前記入出力パッドと前記電源電位ラインとの間に前記第2の接合ダイオードを挿入すべく前記入出力パッドから延在する接続電極を前記拡散領域にコンタクトさせるコンタクトホールとを具備し、

且つ前記第1と第2の接合ダイオードから成る静電破壊保護素子を、略全ての入出力パッドに接続したことを特徴とする半導体集積回路。

(2) 前記接地電位ラインと電源電位ラインは第1層目配線であり前記入出力パッドから延在する接続電極は第2層目配線であることを特徴とする請求項第1項に記載の半導体集積回路。

(3) 前記拡散領域は抵抗体を形成し、前記入出力パッドは前記抵抗体を介して内部回路に接続さ

れて成ることを特徴とする請求項第1項に記載の半導体集積回路。

(4) 前記第1のアイランドは前記入出力パッドの下部に配置されていることを特徴とする請求項第1項に記載の半導体集積回路。

(5) 前記第2のアイランドは前記電源電位ラインと一部が重なるように配置されていることを特徴とする請求項第1項に記載の半導体集積回路。

(6) 前記内部回路に電源を供給するラインは前記接地電位ラインおよび前記電源電位ラインとは別個に延在することを特徴とする請求項第1項に記載の半導体集積回路。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明は半導体集積回路に関し、特に静電破壊を防止した半導体集積回路に関するものである。

(ロ) 従来の技術

近年、半導体集積回路の高集積化に伴い半導体素子が極めて小さくなり、更にはこの半導体集積回路の利用分野が広範囲となってきたために、静

アイランド(8)の前記P型拡散領域(7)と第2のアイランド(8)とのPN接合で形成され、第2のアイランド(8)にN⁺コンタクト領域(9)を介してV_{cc}を印加しP型拡散領域(7)に入出力パッド(1)を接続することで回路構成を行っていた。第2のアイランド(8)には拡散による抵抗体が設けられ、入出力パッド(1)と内部回路とが前記抵抗体を介して接続される。抵抗体を設けた第2のアイランド(8)には、他の目的で使用する抵抗体等を共存させることが可能である。その為第2のアイランド(8)は大きなものとなり易い。

(ハ) 発明が解決しようとする課題

しかしながら、上記静電破壊保護を施した集積回路であっても、保護回路が働かず内部回路が破壊に至る事故が相次ぐ欠点があった。これは、正側ノイズに関してはダイオード(2)を形成するP型拡散領域(7)のPN接合から第2のアイランド(8)にV_{cc}を印加する電極(10)のコンタクトホール(11)までが遠く、内部の寄生抵抗(12)が介在する為にダイオード(2)の導通が阻害されるのが原

電破壊に対する素子の保護が非常に重要な問題となってきた。

この問題を解決する技術としては、例えば特公平02-11020号に記載されたものがある。

即ち第4図に示すように、入出力パッド(1)とV_{cc}、および入出力パッド(1)とGND間に、夫々ダイオード(2)(3)を挿入し、入出力パッド(1)と内部回路を抵抗(4)を介して接続することで、基準値以上のノイズが重畳した際にそのノイズをダイオード(2)(3)を介してV_{cc}又はGNDに逃がすようにしたものである。

この回路を具体化した例を第5図に示す。入出力パッド(1)とGND間のダイオード(3)は、入出力パッド(1)の下部に配置された第1のアイランド(5)と半導体基板とのPN接合で形成され、基板にGND電位を、第1のアイランド(5)にN⁺コンタクト領域(6)を介して入出力パッド(1)をコンタクトさせることで回路接続を行っている。一方、入出力パッド(1)とV_{cc}間のダイオード(3)は、その表面にP型拡散領域(7)を設けた第2の

因であった。むろん、負側ノイズに対するダイオード(3)でも同様の問題が発生する。

また、必要な入出力パッド(1)に対する第2のアイランド(8)の配置、およびV_{cc}印加のための電極(10)のレイアウトが煩雑であり、パターン設計に多大な労力と時間を要する欠点があった。

(ニ) 課題を解決するための手段

本発明は上記従来の欠点に鑑み成されたもので、多数個の入出力パッド(23)を具備する半導体集積回路において、入出力パッド(23)に隣接して接地電位ライン(25)と電源電位ライン(26)を素子領域(22)を囲むように配置し、これらのライン(25)(26)に近接して夫々の保護用ダイオード(35)(37)を形成すると共に、入出力パッド(23)と内部回路とは各ライン(25)(26)とクロスされる配線(41)で接続するようにしたものである。

(*) 作用

本発明によれば、入出力パッド(23)に隣接して接地電位ライン(25)と電源電位ライン(26)を素子領域(22)を囲むように配置するので、入出力パッ

ド(23)に近接させて静電破壊保護素子を配置できる。そのため、保護用ダイオード(35)(37)に直列に挿入される寄生抵抗の値を減じることができる。また、上記2つのライン(25)(26)を配置することによって、ほぼ全ての入出力パッド(23)に静電破壊保護素子を接続できる。しかも、各ライン(25)(26)は内部回路用のラインとは独立させて延在させることにより、複雑なラインの引き廻しが不要なので、パターン設計を極めて簡略化できる。

(ハ) 実施例

以下に本発明の一実施例を図面を参照しながら詳細に説明する。

第1図は半導体チップ(21)の全体を示す平面図である。チップ(21)中央の素子形成領域(22)にはバイポーラNPNトランジスタ等の回路素子が作り込まれ、電極で相互接続することによって所望の機能を達成する内部回路を構成する。その素子形成領域(22)を囲む半導体チップ(21)の周辺部分には、前記内部回路を外部に接続するための入出力

パッド(23)に近接して延在する接地電位ライン(25)と電源電位ライン(26)は、接地電位ライン(25)を入出力パッド(23)と隣接するよう外側、電源電位ライン(26)を内部回路に接近するよう内側を夫々延在し、接地電位ライン(25)はコンタクトホール(27)を介してその下のP⁺型分離領域(28)とオーミックコンタクトして基板(29)にGND電位を与える。コンタクトホール(27)は接地電位ライン(25)のほぼ全長にわたって設けられる。入出力パッド(23)の下部にはP⁺型分離領域(28)で囲まれた第1のアイランド(30)を形成し、コンタクトホール(31)を介してN⁺型コンタクト領域(32)に入出力パッド(23)をオーミックコンタクトさせる。(33)はN⁺埋め込み層、(34)は酸化膜である。これで第1のアイランド(30)をカソード、基板(29)をアノードとして第1のアイランド(30)と基板(29)とのPN接合が第1の接合ダイオード(35)を形成し、第1の接合ダイオード(35)は入出力パッド(23)と接地電位(GND)との間に逆方向接続されることになる。

パッド(23)が多数個配置されている。多数個の入出力パッド(23)のうち、(23a)は接地電位(GND)印加用のGNDパッド、(23b)は電源電位(V_{cc})印加用のV_{cc}パッドである。GNDパッド(23a)とV_{cc}パッド(23b)からは夫々前記内部回路への電源供給用のライン(24)が延在する。それとは別に、素子形成領域(22)と入出力パッド(23)との間のスペースに、静電破壊保護素子用の接地電位ライン(25)と電源電位ライン(26)を延在させる。2つのライン(25)(26)は互いに平行に、そして素子形成領域(22)を取り囲むように延在させる。入出力パッド(23)が存在しない部分には無理に延在させる必要はない。GNDパッド(23a)及びV_{cc}パッド(23b)付近では両者を層間クロスさせる。この場合、接地電位ライン(25)を優先的に第1層目として形成した。

上記GNDパッド(23a)とV_{cc}パッド(23b)以外の入出力パッド(23)には全て静電破壊保護を施した。これを第2図の要部拡大平面図と第3図の断面図に示す。

一方、電源ライン(26)に近接するチップ(21)表面には同じくP⁺型分離領域(28)で囲まれた第2のアイランド(36)を設け、この表面に第2のアイランド(36)とのPN接合で第2の接合ダイオード(37)を形成するP型拡散領域(38)を設ける。即ち、第2のアイランド(36)をカソード、P型拡散領域(38)をアノードとするのである。第2のアイランド(36)はその一部が電源電位ライン(26)と重畳するように配置され、コンタクトホール(39)を介して電源ライン(26)がN⁺型コンタクト領域(40)にオーミックコンタクトする。また、入出力パッド(23)からは2層目配線で接地電位ライン(25)と電源電位ライン(26)にクロスする接続電極(41)が延在し、コンタクトホール(42)を介してP型拡散領域(38)にコンタクトする。これで、入出力パッド(23)と電源電位(V_{cc})との間に第2の接合ダイオード(37)が逆方向接続されることになる。

P型拡散領域(38)は、第2のアイランド(36)と接合ダイオード(37)を形成すると同時に保護抵抗

(43)を形成する。保護抵抗(43)の他端は電極(44)がオーミックコンタクトし、電極(44)は内部回路に接続される。従って、入出力パッド(23)と内部回路とは保護抵抗(43)を介して接続されることになる。

以上に説明した本発明の構造は、接地電位ライン(25)と電源電位ライン(26)を入出力パッド(23)に隣接して延在させることによって、第1と第2の接合ダイオード(35)(37)に直列に挿入される寄生抵抗の値を極めて小さくできる。つまり、2つの接合ダイオード(35)(37)を形成するPN接合から接地電位ライン(25)のコンタクトホール(27)又は電源電位ライン(26)のコンタクトホール(39)までの距離を最小にできるパターン設計が可能となるのである。これは入出力パッド(23)のコンタクトホール(31)(42)に関しても同等である。従って前記寄生抵抗が接合ダイオード(35)(37)の導通を阻害しないので、静電ノイズから内部回路を確実に保護できる保護素子とすることができる。

また、内部回路への電源供給ライン(24)と静電

破壊保護用のライン(25)(26)とを別個に設けたので、内部回路の配線設計が容易になる他、各ライン(25)(26)は素子領域(22)を囲むように延在するので、全ての入出力パッド(23)に静電破壊保護素子を設けることが極めて容易であり、これもパターン設計の容易さを助長する。

さらに、第1のアイランド(30)は入出力パッド(23)の下部、第2のアイランド(36)はその一部を電源電位ライン(26)の下部に形成できるので、面積効率に優れる。そして更に、第1と第2のダイオード(35)(37)の寄生抵抗を最小にできるので、保護抵抗(43)の値を小さく設定することが可能となり、これも面積効率の向上を助長する。

(ト) 発明の効果

以上に説明した通り、本発明によれば第1と第2の接合ダイオード(35)(37)に直列挿入される寄生抵抗を最小にできるので、内部回路を確実に保護できる利点を有する。また、電源電位ライン(26)と接地電位ライン(25)を引き廻すことによって、全ての入出力パッド(23)に保護対策を処すこ

とが極めて容易である他、内部回路への配線の引き廻しも容易になるので、パターン設計を容易ならしめ、時間短縮が可能である利点を有する。さらに、入出力パッド(23)の下部と電源電位ライン(26)の下部を有効に活用できるので、面積効率に優れる利点をも有する。

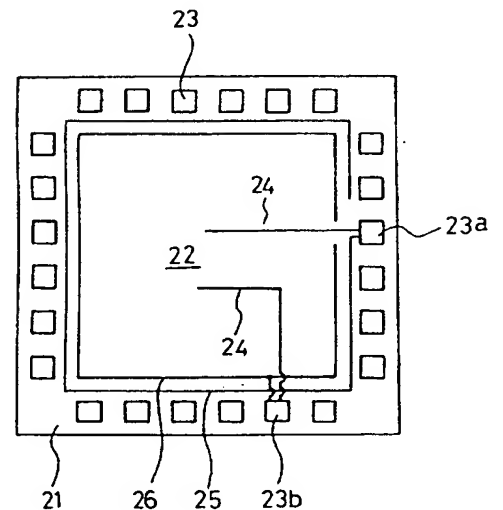
4. 図面の簡単な説明

第1図と第2図は夫々本発明を説明する為の平面図と要部平面図、第3図は本発明を説明する為の断面図、第4図は静電破壊保護回路を示す回路図、第5図は従来例を示す平面図である。

出願人 三洋電機株式会社

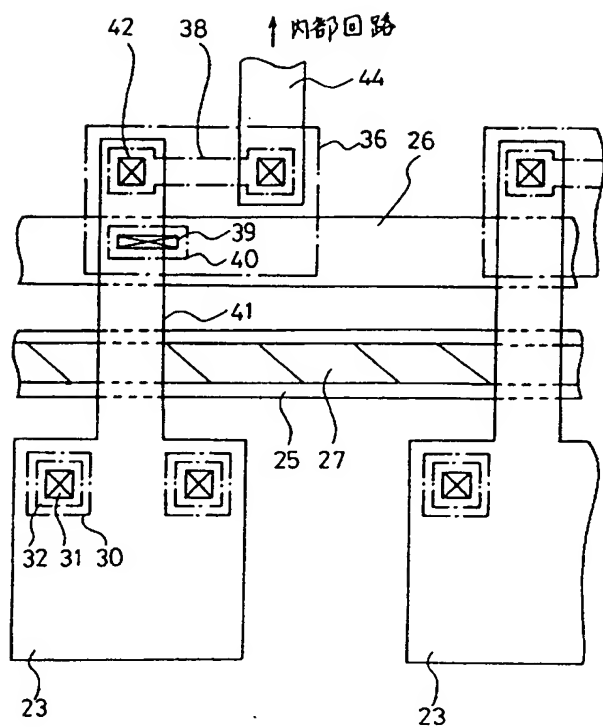
代理人 井理士 西野卓嗣 外2名

第1図

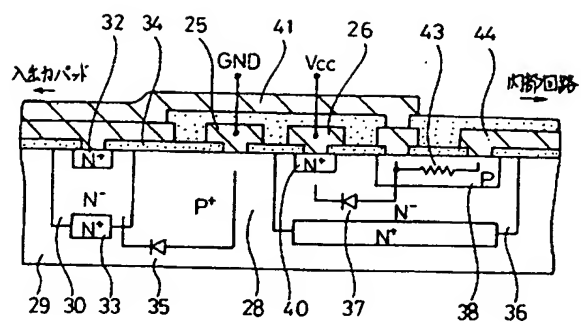


- | | |
|-------------|-------------|
| 21: 半導体チップ | 23: 入出力パッド |
| 23a: GNDパッド | 23b: Vccパッド |
| 25: 接地電位ライン | 26: 電源電位ライン |

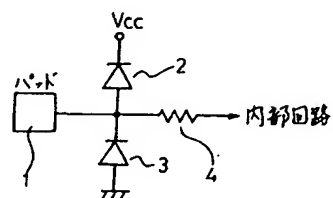
第 2 図



第 3 図



第 4 図



第 5 図

